

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE



In re application of

Applicant : Wen-Yueh Jang

Application No. : 10/604,627

Filed : August 6, 2003

For : RESISTANCE RANDOM ACCESS MEMORY AND
METHOD FOR FABRICATING THE SAME

Examiner :

COMMISSIONER FOR PATENTS

2011 South Clark Place

Crystal Plaza Two, Lobby, Room 1B03

Arlington VA 22202

Dear Sirs:

Transmitted herewith is a certified copy of Taiwan Application No.:92115025,
filed on:2003/06/03.

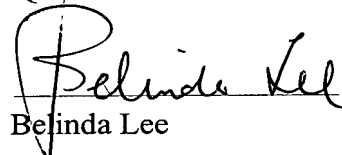
A return prepaid postcard is also included herewith.

Respectfully Submitted,

JIANQ CHYUN Intellectual Property Office

Dated: October 2, 2003

By:


Belinda Lee

Registration No.: 46,863

Please send future correspondence to:

7F.-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 06 月 03 日
Application Date

申請案號：092115025
Application No.

申請人：華邦電子股份有限公司
Applicant(s)

局 長
Director General

蔡 練 生

發文日期：西元 2003 年 8 月 23 日
Issue Date

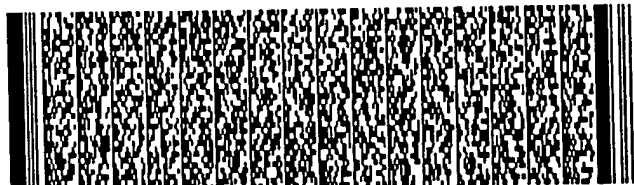
發文字號：09220850940
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	電阻型隨機存取記憶體之結構及其製造方法
	英 文	RESISTANCE RANDOM ACCESS MEMORY AND METHOD FOR FABRICATING THE SAME
二、 發明人 (共1人)	姓 名 (中文)	1. 張文岳
	姓 名 (英文)	1. Wen-Yueh Jang
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 新竹市高峰路207巷8號
	住居所 (英 文)	1. No. 8, Lane 207, Kao-Feng Rd., Hsinchu, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 華邦電子股份有限公司
	名稱或 姓 名 (英文)	1. Winbond Electronics Corp.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學工業園區研新三路四號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 4, Creation Road III, Science-Based Industrial Park, Hsinchu, Taiwan, R.O.C.
	代表人 (中文)	1. 焦佑鈞
	代表人 (英文)	1. Arthur Y.C. Chiao



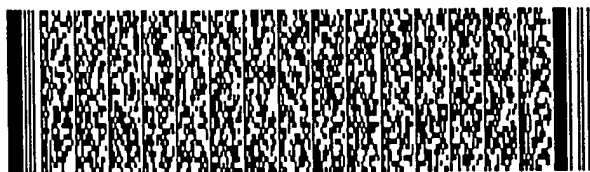
11112.tif .ptd

四、中文發明摘要 (發明名稱：電阻型隨機存取記憶體之結構及其製造方法)

406：摻雜區 408：下電極 410：上電極 412：
電阻薄膜 414：記憶體單元 416：介電層
418、420：接觸窗 426：位元線 428、430：導線

六、英文發明摘要 (發明名稱：RESISTANCE RANDOM ACCESS MEMORY AND METHOD FOR FABRICATING THE SAME)

in the dielectric layer, wherein each of the memory units comprises a bottom electrode, a top electrode and a resistance film, and the memory units at the same row are electrically connected with one of the reset lines. The bit lines are located on the memory units, wherein the memory units at the same line are electrically connected with one of the bit lines. Since the memory has



四、中文發明摘要 (發明名稱：電阻型隨機存取記憶體之結構及其製造方法)

六、英文發明摘要 (發明名稱：RESISTANCE RANDOM ACCESS MEMORY AND METHOD FOR FABRICATING THE SAME)

the rest lines, the bipolar operation memory can be programmed and reset.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

無

寄存機構：

寄存日期：

寄存號碼：

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

無

寄存號碼：

☐熟習該項技術者易於獲得,不須寄存。



五、發明說明 (1)

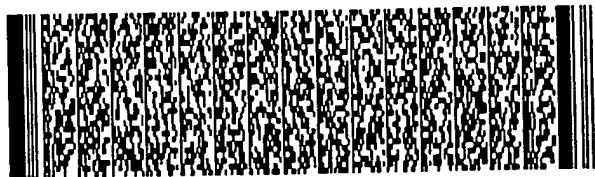
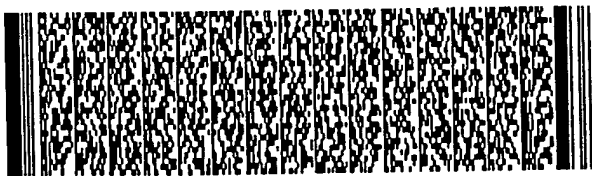
發明所屬之技術領域

本發明是有關於一種半導體元件之結構及其製造方法，且特別是有關於一種電阻型隨機存取記憶體 (Resistance Random Access Memory, RRAM) 之結構及其製造方法。

先前技術

大型磁阻 (Colossal Magnetoresistive, CMR) 薄膜以及具有鈣鈦礦結構 (Perovskite Structure) 或相關結構之氧化薄膜是具有電阻可逆性之薄膜材料，因此其可以應用在可逆的開關製程 (Reversible Switching Process) 中。較詳細的說明是，對於 CMR 電阻薄膜而言，當施予一正向電脈衝 (電壓) 至此電阻器時，可以使其電阻值被程式化 (programmed) 成高電阻狀態，而當施予相同振幅的反相電脈衝 (電壓) 至此電阻器時則可以使其電阻值被程式化成低電阻狀態。同樣的，對具有鈣鈦礦結構或相關結構之氧化電阻薄膜而言，當施予一正向電脈衝 (電流) 至此電阻器時，可以使其電阻值被程式化成低電阻狀態，而當施予相同振幅的反相電脈衝 (電流) 至此電阻器時則可以使其電阻值被程式化成高電阻狀態。由於上述兩種電阻器都是具有電阻可逆之性質，因此可以將其應用在記憶體元件中，而形成電阻型隨機存取記憶體 (RRAM)。而且，當電源停止供應時，電阻型隨機存取記憶體之資料儲存狀態 (電阻狀態) 仍不會消失，因此是一種非揮發性記憶體元件。

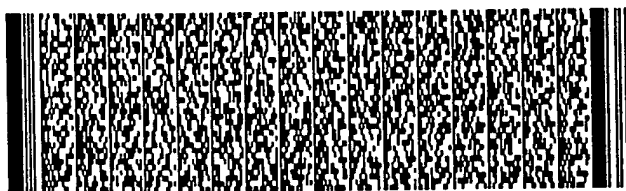
在習知技術中，將大型磁阻薄膜以及具有鈣鈦礦結構



五、發明說明 (2)

或相關結構之氧化薄膜應用在記憶體元件中之技術揭露於下列文獻資料中：W.W.Zhuang, W.Pan, B.D.Ulrich, J.J.Lee, L.Stecker, A.Burmester, D.R.Evants, S.T.Evans, S.T., Hsu, M.Tajiri, A.Shimaoka, K.Inoue, T.Naka, N.Awaya, K.Sakiyama, Y.Wang, S.Q.Liu, N.J.Wu, and A.Ignatiev, "Novell Colossal Magnetoresistive Thin Film Nonvolatile Resistance Random Access Memory (RRAM)", IEDM, 2002 以及 Y.Watanabe, J.G.Bednorz, A.Bietsch, Ch.Gerber, D.Widmer, and A.Beck, "Current-driven insulator-conductor transition and nonvolatile memory in chromium-doped SrTiO_3 single crystals", vol. 78, no. 23, 2001, Applied Physics Letters。

請參照第1圖，其繪示是習知一種電阻型隨機存取記憶體之剖面示意圖。第1圖所繪示之電阻型隨機存取記憶體元件係為1R1D(一電阻器一二極體)型式之記憶體元件，其包括配置在基底100中之字元線(N型摻雜區)102，配置字元線102中之數個P+摻雜區104以及N+摻雜區106，其中字元線102與P+摻雜區104係構成二極體。在基底100上則是配置有介電層114，且介電層114中係配置有數個記憶體單元107，其中每一記憶體單元107係包括一下電極108、一上電極110以及位於兩電極之間之一電阻薄膜112，且每一記憶體單元107係對應配置在P+摻雜區104之表面上。另外，在介電層114中還包括配置有一字元線接觸窗116，而

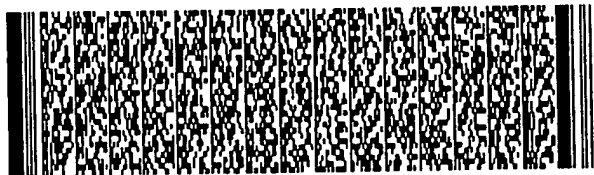
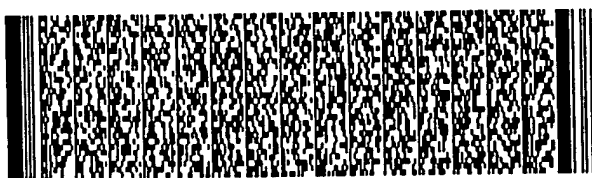


五、發明說明 (3)

字元線接觸窗116之一端係與N+摻雜區106電性接觸，另一端則與形成在介電層114表面上之導線120電性接觸，其係用以使字元線102能與外界電路電性連接之用。另外，在介電層114上還形成有位元線118，其係與記憶體單元107之上電極110電性接觸。

習知另一種電阻型隨機存取記憶體元件係為1R1T(一電阻器一電晶體)型式之記憶體元件，如第2圖所示。請參照第2圖，此記憶體元件包括配置在基底200中之數個N+摻雜區202、204，其中N+摻雜區204係為一共用線。而在基底200上係配置有一介電層220，其中介電層220中係包括有數個記憶體單元207(包括下電極206、上電極208以及電阻薄膜210)、及數個閘極結構(字元線)212以及數個接觸窗214、216。其中每一記憶體單元207係對應配置在N+摻雜區202之表面上，而閘極結構212與其兩側之N+摻雜區202、204係構成一電晶體，而接觸窗214、216係分別與閘極結構212以及共用線204電性接觸，以使閘極結構212以及共用線204能與外界電路電性連接。另外，在介電層220之表面上還形成有位元線218，其係與記憶體單元207之上電極208電性接觸。

在上述兩種記憶體元件中，1R1T型式之記憶體元件(如第2圖所示)是利用三端子之電晶體來操作記憶體元件，其可以輕易的對記憶體元件進行程式化並抹除及重新設定之操作，但是此種記憶體元件缺點是元件之尺寸較大，倘若F是最小特徵尺寸的話，則1R1T單元之最小尺寸



五、發明說明 (4)

為 $6F^2$ 。

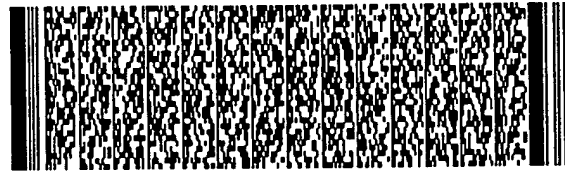
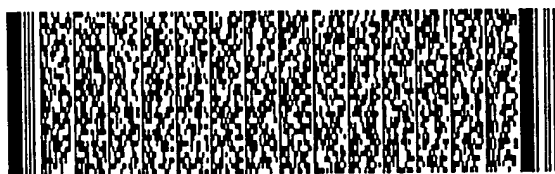
而對於1R1D型式之記憶體元件(如第1圖所示)，其單元之最小尺寸為 $4F^2$ ，因此此種記憶體元件之尺寸較小，而較符合元件高積集之趨勢。此種記憶體元件是利用二端子之二極體來程式化記憶體元件，由於電壓/電流僅能單方面導通，因此記憶體元件在程式化之後將無法抹除或重新設定所儲存之資料狀態。

發明內容

因此本發明的目的就是提供一種電阻型隨機存取記憶體之結構及其製造方法，以解決習知1R1D型式之記憶體元件無法抹除或重新設定所儲存之資料狀態之問題。

本發明的再一目的是提供一種電阻型隨機存取記憶體之結構及其製造方法，以提供一種符合高積集度之記憶體元件並能抹除或重新設定所儲存之資料狀態之電阻型隨機存取記憶體。

本發明提出一種電阻型隨機存取記憶體之結構，其包括數條字元線、數條重設線、一介電層、數個記憶體單元以及數條位元線。其中，字元線係配置在一基底中，而每一重設線係配置在對應的其中一字元線中，且重設線之離子型態係與字元線之離子型態相反，以構成二極體。另外，介電層係配置在基底上，而記憶體單元係配置在介電層中，且每一記憶體單元係包括一下電極、一上電極以及夾於下電極以及上電極之間之一電阻薄膜，而且相同一列之記憶體單元係配置在相同一條重設線之表面上，因此相



五、發明說明 (5)

同一列之記憶體單元會與相同一條之重設線電性接觸。另外，位元線係配置在記憶體單元上，且相同一行之記憶體單元之上電極係與其中一條位元線電性接觸。

在上述記憶體元件之結構中，在介電層中更包括配置有字元線接觸窗以及重設線接觸窗，其中字元線接觸窗係與字元線電性接觸，而重設線接觸窗係與重設線電性接觸，其分別是用來使字元線以及重設線能與外界的電路作電性連接之用。

本發明又提出一種電阻型隨機存取記憶體之製造方法，此方法係首先在一基底中形成數條字元線，並且在每一字元線中形成一重設線，其中字元線之型態係與重設線之離子型態相反，以構成二極體。接著，在基底上形成數個記憶體單元，且每一記憶體單元係包括有一下電極、一上電極以及夾於上電極以及下電極之間之一電阻薄膜，且相同一列之記憶體單元係配置在其中一重設線之表面上，而使該列記憶體單元之下電極與該條重設線電性接觸。之後，在基底上方形成一介電層，且介電層係暴露出記憶體單元。之後，在相同一行之記憶體單元上形成一位元線，而將相同一行之記憶體單元之上電極串接在一起。

在上述之電阻型隨機存取記憶體之製造方法中，其形成記憶體單元以及位元線之方法可以是先在每一重設線之表面上形成一堆疊層，之後再於基底之上方形成介電層，且介電層係暴露出上述所形成之堆疊層。接著，在介電層以及堆疊層上形成一導電層，並且以垂直於字元線之方向



五、發明說明 (6)

圖案化導電層以及堆疊層，而同時形成位元線以及記憶體單元。

在上述記憶體元件之製作方法中，更包括在介電層中形成字元線接觸窗以及重設線接觸窗，其係用來使字元線與重設線能與外界電路電性連接之用。

本發明之電阻型隨機存取記憶體係為1R1D型式之記憶體，因此其尺寸較1R1T型式之記憶體元件小，而且因本發明設置有重設線，因此雖然其係為二極體操作之記憶體元件，但是卻可以進行程式化以及重新設定之操作，而克服了習知1R1D型式之記憶體無法重新設定之缺點。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式

第3圖至第6圖是依照本發明一較佳實施例之電阻型隨機存取記憶體的製造流程上視示意圖，其中相同圖示編號的A圖是繪示圖示中由A-A'之剖面圖，相同圖示編號的B圖是繪示圖示中由B-B'之剖面圖。

請參照第3圖、第3A圖以及第3B圖，首先提供一基底300，其例如是N型矽基底。接著，基底300中形成隔離區301。之後，在隔離區301之間的基底300中形成P型摻雜區302，以作為字元線之用，並且在字元線(P型摻雜區)302中形成一N+摻雜區304以及一P+摻雜區306，其中N+摻雜區304與字元線(P型摻雜區)302係構成二極體，且N+摻雜區



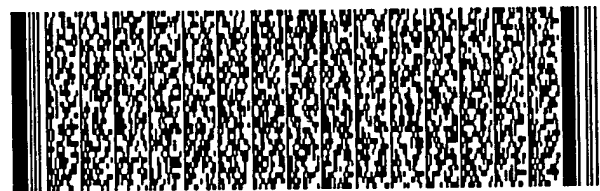
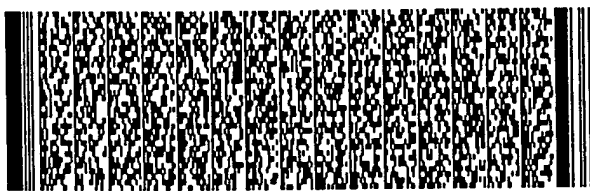
五、發明說明 (7)

304 係作為一重設線(Reset Line)之用，而P+ 摻雜區306 係用以提升字元線302 與後續所形成之字元線接觸窗的電性接觸性。在一較佳實施例中，形成P型摻雜區302、N+ 摻雜區304 以及P+ 摻雜區306 之方法例如是利用離子植入法。

之後，在基底300 上形成堆疊層314，其中堆疊層314 係沿著字元線302 與重設線304 之方向而形成在重設線304 之表面上，且每一堆疊層314 是由一下電極308、一上電極310 以及夾於下電極308 以及上電極310 之間之一電阻薄膜312 所構成。在此，電阻薄膜312 例如是大型磁阻(Colossal Magnetoresistive, CMR) 薄膜、具有鈣鈦礦結構(Perovskite Structure) 或相關結構之氧化薄膜等具有電阻可逆性之電阻薄膜材料，其中大型磁阻薄膜例如是PCMO($\text{Pr}_{0.7}\text{Ca}_{0.3}\text{MoO}_3$) 薄膜，鈣鈦礦結構或相關結構之氧化薄膜例如是 Nb_2O_5 、 TiO_2 、 Ta_2O_5 、NiO 或是摻雜有過鍍金屬之氧化薄膜，其例如是 $\text{SrTiO}_3:\text{Cr}$ 。而下電極308 以及上電極310 之材質例如是白金、金等金屬材質

請參照第4 圖、第4A 圖以及第4B 圖，在基底300 上方形成一介電層316，介電層316 係覆蓋住隔離區301 且暴露出堆疊層314。介電層316 之材質例如是氧化矽、低介電常數之材料等介電材質，且形成介電層316 之方法例如是先在基底300 之上方全面性的沈積一層介電材料層(未繪示) 之後，再以化學機械研磨法或是回蝕刻法移除部分介電材料層，直到堆疊層314 暴露出來。

之後，在介電層316 中形成字元線接觸窗318 以及重設

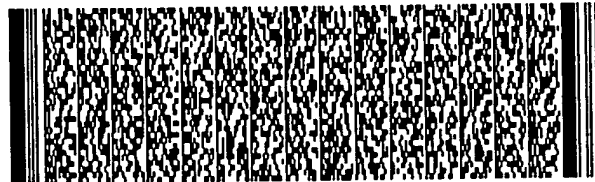


五、發明說明 (8)

線(Reset Line)接觸窗320，其中字元線接觸窗318係與P+摻雜區306電性接觸，進而與字元線(P型摻雜區)302電性連接，而重設線接觸窗320係與重設線(N+摻雜區)304電性接觸。在一較佳實施例中，形成字元線接觸窗318以及重設線接觸窗320之方法例如是利用微影蝕刻製程圖案化介電層316，以在介電層316中形成接觸窗開口(未繪示)，分別暴露出P+摻雜區306以及N+摻雜區304，之後再於接觸窗開口內填入導電材料即可形成。

請參照第5圖、第5A圖以及第5B圖，在基底300之上方全面性的形成一導電層322，覆蓋住堆疊層314、介電層316以及接觸窗318、320。之後，再於導電層322上形成一圖案化之光阻層324，光阻層324係覆蓋住預定形成位元線以及其他導線之處，且覆蓋在預定形成位元線處之光阻層324圖案係垂直於字元線302之延伸方向。

請參照第6圖、第6A圖以及第6B圖，以光阻層324為蝕刻罩幕進行一蝕刻製程，以圖案化導電層322而形成位元線326以及導線328、330，而且在此蝕刻製程過程中，還同時圖案化堆疊層314，以使原先長條狀之堆疊層314變成塊狀堆疊層314a(由上電極310a、薄膜312a以及下電極308a所構成)，而形成記憶體單元。由於相同一列之每一記憶體單元之下電極308a都會透過重設線304電性導通，因此在此圖案化多疊層314之過程中，亦可以選擇不將下電極308圖案化，而僅圖案化上電極310與薄膜312。所形成之位元線326係將相同一行之記憶體單元314a串接起



五、發明說明 (9)

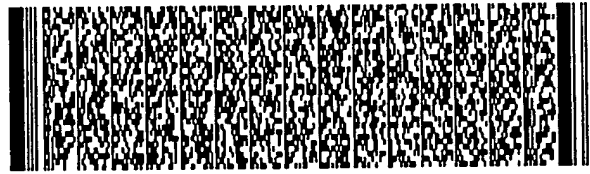
來。另外，所形成之導線328係與字元線接觸窗318電性接觸，用以使字元線302能與外界電路電性連接，導線330係與重設接觸窗320電性接觸，用以使重設線304能與外界電路電性連接。

隨後，形成一絕緣層(未繪示)，以填滿記憶體單元314a之間的空隙以及位元線326之間的空隙，之後再進行後續的內連線製程以及鉅墊製程。

特別值得一提的是，上述電阻型隨機存取記憶體的製造方法中，重設線(N+摻雜區)304與字元線(P型摻雜區)302所構成之二極體，亦可以以蕭基二極體(Schokky Diode)取代。請參照第8圖，在形成字元線302之後，於基底300上對應字元線302之表面形成重設線340，其中重設線340之材質例如是一金屬材質，因此重設線340與字元線302即構成金屬/半導體接面之蕭基二極體。

在上述之實例中，基底300、字元線302、重設線304以及摻雜區306之摻雜型態係以其中一種記憶體元件之型態來作說明，但本發明並非限定只能用在此種型態之記憶體元件，與上述型態相反之記憶體元件亦在本發明之範圍中，其例如是使用P型基底300、使用N型摻雜型態之字元線302、P+摻雜型態之重設線304以及N+摻雜區306之記憶體元件。

因此，本發明之電阻型隨機存取記憶體係包括基底300、隔離區301、字元線302、重設線304(或340)、摻雜區306、記憶體單元314a、介電層316a、字元線接觸窗



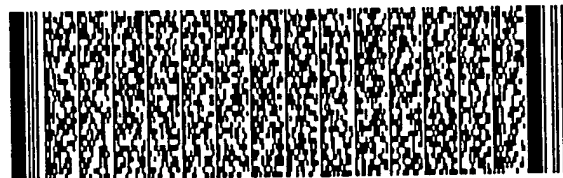
五、發明說明 (10)

318、重設線接觸窗320、位元線326以及導線328、330。

其中，隔離區301係配置在基底300中，字元線302係配置在基底100中，且位於兩相鄰的隔離區301之間。重設線304係配置在部分字元線302中，且重設線304之離子型態係與字元線302之型態相反，以構成二極體(第6A圖)。另外，亦可以將重設線340配置在字元線302之表面上，且重設線340之材質例如是一金屬材質(第8圖)。而摻雜區306係配置在字元線302中，其離子型態係與字元線302之離子型態相同，其係用以提升字元線302與後續所形成之字元線接觸窗的電性接觸性。

介電層316a係配置在基底300之上方，且介電層316a中係配置有記憶體單元314a、字元線接觸窗318以及重設線接觸窗320。其中，記憶體單元314a係配置在重設線304(或340)之表面上，且每一記憶體單元314a係由一下電極308、一上電極310a以及夾於下電極308以及上電極310a之間之電阻薄膜312a所構成，電阻薄膜312a例如是大型磁阻薄膜、具有鈣鈦礦結構或相關結構之氧化薄膜等具有電阻可逆性之電阻薄膜材料。而字元線接觸窗318係與摻雜區306電性接觸，進而與字元線302電性接觸，重設線接觸窗320係與重設線304(或340)電性接觸。

位元線326係配置在記憶體單元314a之上方，其延伸方向係與字元線302之延伸方向垂直，用以使相同一行之記憶體單元314a串接起來。另外，導線328、330係配置在介電層316a上，其分別與字元線接觸窗318以及重設線接



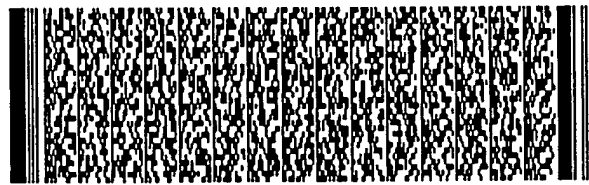
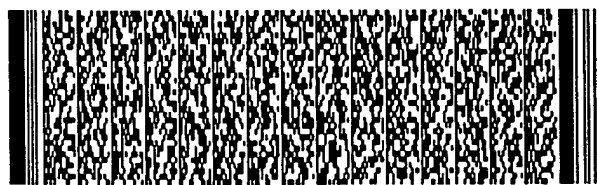
五、發明說明 (11)

觸窗320電性接觸，導線328、330分別是用來使字元線302以及重設線304(或340)能與外界電路電性連接。

本發明之記憶體元件的製造方法除了以上所述之方法外，亦可以利用其他方法來製造，其詳細說明如下。

請參照第7圖、第7A圖以及第7B圖，其係為依照本發明一較佳實施例之電阻型隨機存取記憶體之上視示意圖以及剖面示意圖，其中第7A圖是繪示第7圖中由A-A'之剖面圖，第7B圖是繪示第7圖中由B-B'之剖面圖。首先在基底400中形成隔離區401，之後在隔離區401之間的基底400中形成P型摻雜區402，以作為字元線之用。接著，在字元線(P型摻雜區)402中形成N⁺摻雜區404以及P⁺摻雜區406，其中N⁺摻雜區404與P型摻雜區402係構成二極體，且N⁺摻雜區404係作為一重設線(Reset Line)之用，而P⁺摻雜區406係用以提升字元線402與後續所形成之字元線接觸窗的電性接觸性。

之後，在基底400上形成數個記憶體單元414，每一記憶體單元414係由下電極408、上電極410以及夾於下電極408以及上電極410之間之電阻薄膜414所構成，且電阻薄膜414例如是大型磁阻薄膜、具有鈣鈦礦結構或相關結構之氧化薄膜等具有電阻可逆性之電阻薄膜材料。在此，形成記憶體單元414之方法係先依序沈積上電極膜層(未繪示)、電阻薄膜層(未繪示)以及下電極膜層(未繪示)之後，再以微影蝕刻製程將其圖案化，而形成數個塊狀的記憶體單元414。



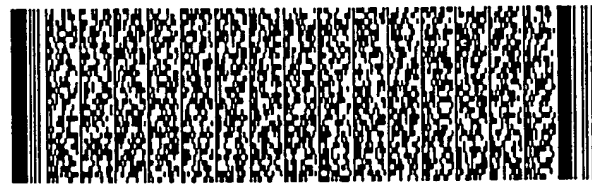
五、發明說明 (12)

之後，於介電層416上形成一導電層(未繪示)，之後再將其圖案化，即可形成位元線426以及導線428、430，其中位元線426之延伸方向係與字元線402之延伸方向垂直，且位元線426會將相同一行之記憶體單元414串接起來。另外，所形成之導線428係與字元線接觸窗418電性接觸，用以使字元線402能與外界電路電性連接，導線430係與重設接觸窗420電性接觸，用以使重設線(N+摻雜區)404能與外界電路電性連接。

同樣的，在上述之實例中，基底400、字元線402、重設線404以及摻雜區406之摻雜型態係以其中一種記憶體元件之型態來作說明，但本發明並非限定只能用在此種型態之記憶體元件，與上述型態相反之記憶體元件亦在本發明之範圍中。

特別值得一提的是，上述電阻型隨機存取記憶體的製造方法中，重設線(N+摻雜區)404與字元線(P型摻雜區)402所構成之二極體，亦可以以蕭基二極體(Schokky Diode)取代。請參照第9圖，在形成字元線402之後，於基底400上對應字元線402之表面形成重設線440，其中重設線440之材質例如是一金屬材質，因此重設線440與字元線402即構成金屬/半導體接面之蕭基二極體。

本發明之電阻型隨機存取記憶體係為1R1D型式之記憶體，因此其尺寸較1R1T型式之記憶體元件小，而且因本發明設置有重設線，因此雖然其係為二極體操作之元件，卻可以進行程式化以及重新設定之操作，而克服了習知1R1D



五、發明說明 (13)

型式之記憶體有無法重新設定之缺點。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖是習知1R1D型式之電阻型隨機存取記憶體之剖面示意圖；

第2圖是習知1R1T型式之電阻型隨機存取記憶體之剖面示意圖；

第3圖至第6圖是依照本發明一較佳實施例之電阻型隨機存取記憶體的製造流程上視示意圖，其中相同圖示編號的A圖是繪示圖示中由A-A'之剖面圖，相同圖示編號的B圖是繪示圖示中由B-B'之剖面圖；以及

第7圖是依照本發明另一較佳實施例之電阻型隨機存取記憶體之上視示意圖，且第7A圖是繪示第7圖中由A-A'之剖面圖，第7B圖是繪示第7圖中由B-B'之剖面圖；

第8圖是依照本發明一較佳實施例之電阻型隨機存取記憶體之剖面圖；以及

第9圖是依照本發明一較佳實施例之電阻型隨機存取記憶體之剖面圖。

圖式標示說明

100、200、300、400：基底

102、212、302、402：字元線

104、106、202、204、306、406：摻雜區

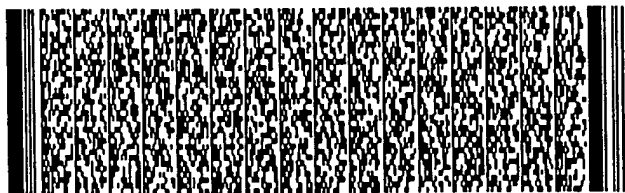
108、206、308、408：下電極

110、208、310、310a、410：上電極

112、210、312、312a、412：電阻薄膜

107、207、314a、414：記憶體單元

114、220、316、316a、416：介電層



圖式簡單說明

116、214、216、318、320、418、420：接觸窗

118、218、326、426：位元線

120、328、330、428、430：導線

301：隔離區

304、404：重設線

314：堆疊層

322：導電層

324：光阻層

340、440：金屬重設線



六、申請專利範圍

1. 一種電阻型隨機存取記憶體之結構，包括：

複數條字元線，配置在一基底中；

複數條重設線(Reset Line)，其係與該些字元線鄰接；

一介電層，配置在該基底上；

複數個記憶體單元，配置在該介電層中，其中每一該些記憶體單元包括一下電極、一上電極以及夾於該上電極以及該下電極之間之一電阻薄膜，且相同一列之該些記憶體單元之該下電極係與其中一該些重設線電性接觸；以及

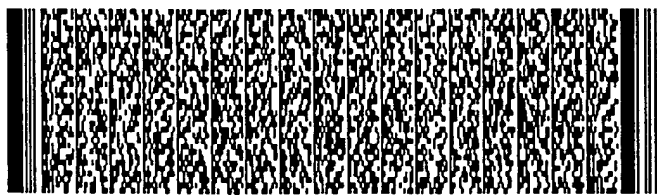
複數條位元線，配置在該些記憶體單元上，其中相同一行之該些記憶體單元之該上電極係與其中一該些位元線電性接觸。

2. 如申請專利範圍第1項所述之電阻型隨機存取記憶體之結構，其中該些重設線係配置在該些字元線中，且該些重設線之離子型態係與該些字元線之離子型態相反。

3. 如申請專利範圍第1項所述之電阻型隨機存取記憶體之結構，其中該些重設線係配置在該些字元線之表面上，且該些重設線之材質係包括一金屬材質。

4. 如申請專利範圍第1項所述之電阻型隨機存取記憶體之結構，更包括複數個字元線接觸窗，配置在該介電層中，且每一該些字元線接觸窗係與對應的其中一該些字元線電性連接。

5. 如申請專利範圍第4項所述之電阻型隨機存取記憶體之結構，更包括複數個摻雜區，該些摻雜區係配置在該



六、申請專利範圍

些字元線中，且每一摻雜區係與對應的其中一該些字元線接觸窗電性接觸，且該些摻雜區係與該些字元線之離子型態相同。

6. 如申請專利範圍第1項所述之電阻型隨機存取記憶體之結構，更包括複數個重設線接觸窗，配置在該介電層中，且每一該些重設線接觸窗係與對應的其中一該些重設線電性連接。

7. 如申請專利範圍第1項所述之電阻型隨機存取記憶體之結構，其中相同一列之該些記憶體單元係配置在其中一該些重設線之表面上。

8. 如申請專利範圍第1項所述之電阻型隨機存取記憶體之結構，其中該些記憶體單元之該電阻薄膜係為具有電阻可逆性之薄膜材料。

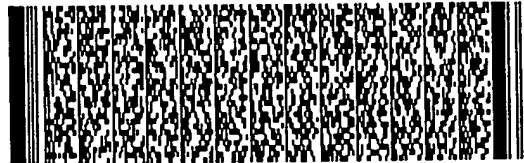
9. 如申請專利範圍第8項所述之電阻型隨機存取記憶體之結構，其中該具有電阻可逆性之薄膜材料包括大型磁阻(Colossal Magnetoresistive, CMR)薄膜或具有鈣鈦礦結構(Perovskite Structure)之氧化薄膜。

10. 一種電阻型隨機存取記憶體的製造方法，包括：

在一基底中形成複數條字元線；

形成複數條重設線，每一該些重設線係與對應的其中一該些字元線鄰接；

在該基底上形成複數個記憶體單元，每一該些記憶體單元包括一下電極、一上電極以及夾於該上電極以及該下電極之間之一電阻薄膜，且相同一列之該些記憶體單元之



六、申請專利範圍

該下電極係與其中一該些重設線電性接觸；

在該基底上方形成一介電層，且該介電層係暴露出該些記憶體單元；以及

在該些記憶體單元上形成複數條位元線，且相同一行之該些記憶體單元之該上電極係與其中一該些位元線電性接觸。

11. 如申請專利範圍第10項所述之電阻型隨機存取記憶體的製造方法，其中該些重設線係形成在該些字元線中，且該些重設線之離子型態係與該些字元線之離子型態相反。

12. 如申請專利範圍第10項所述之電阻型隨機存取記憶體的製造方法，其中該些重設線係形成在該些字元線之表面上，且該些重設線之材質係包括一金屬材質。

13. 如申請專利範圍第10項所述之電阻型隨機存取記憶體的製造方法，其中形成該些記憶體單元以及該些位元線之方法包括：

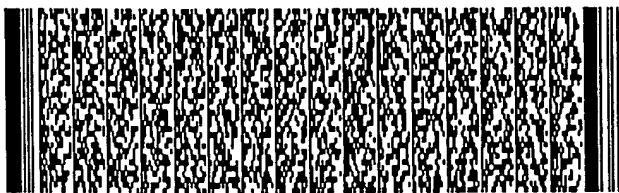
在每一該些重設線之表面上形成一堆疊層；

在該基底之上方形成該介電層，且該介電層係暴露出該些堆疊層；

在該介電層以及該些堆疊層上形成一導電層；以及

以垂直於該些字元線之方向圖案化該導電層以及該些堆疊層，以同時形成該些位元線以及該些記憶體單元。

14. 如申請專利範圍第10項所述之電阻型隨機存取記憶體的製造方法，其中在形成該介電層之後，更包括在該



六、申請專利範圍

介電層中形成複數個字元線接觸窗，每一該些字元線接觸窗係與對應的其中一該些字元線電性連接。

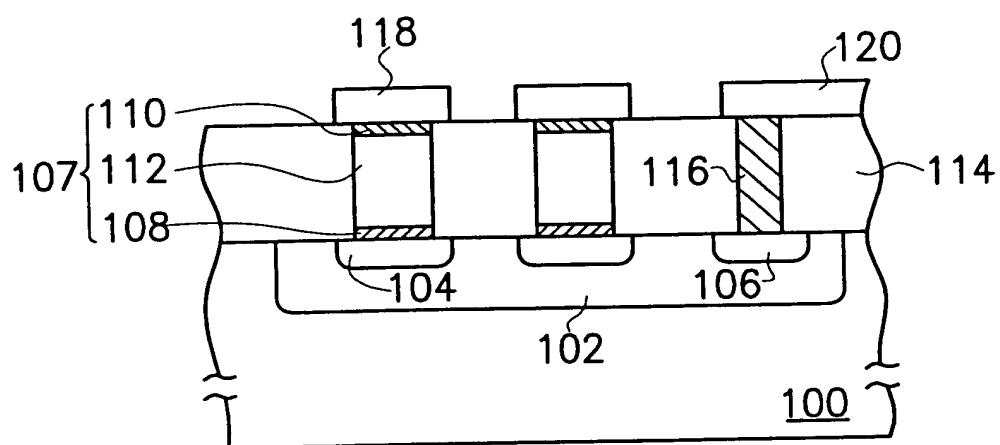
15. 如申請專利範圍第10項所述之電阻型隨機存取記憶體之製造方法，其中在形成該些字元線之後，更包括在每一該些字元線中形成一摻雜區，該些摻雜區之離子型態係與該些字元線之離子型態相同，且每一該些摻雜區係與對應的其中一該些字元線接觸窗電性接觸。

16. 如申請專利範圍第10項所述之電阻型隨機存取記憶體的製造方法，其中在形成該介電層之後，更包括在該介電層中形成複數個重設線接觸窗，每一該些重設線接觸窗係與對應的其中一該些重設線電性連接。

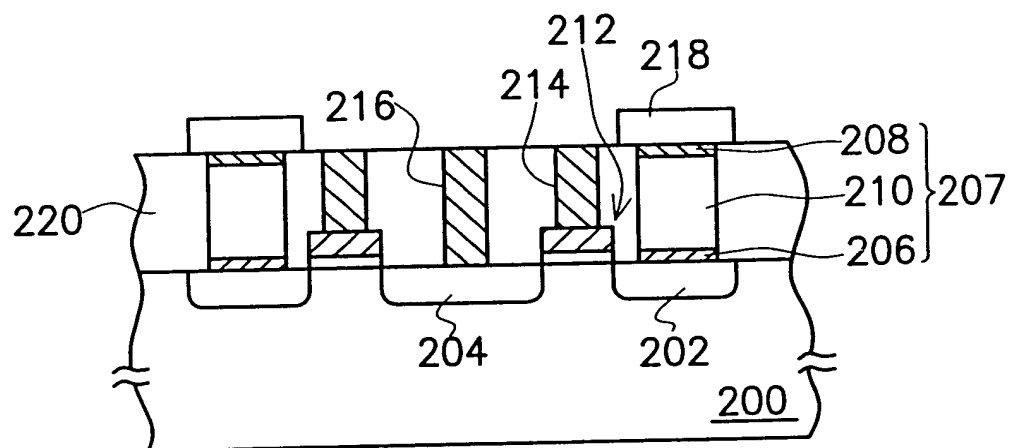
17. 如申請專利範圍第10項所述之電阻型隨機存取記憶體的製造方法，其中該些記憶體單元之該電阻薄膜係為具有電阻可逆性之薄膜材料。

18. 如申請專利範圍第17項所述之電阻型隨機存取記憶體的製造方法，其中該具有電阻可逆性之薄膜材料包括大型磁阻(Colossal Magnetoresistive, CMR)薄膜或具有鈣鈦礦結構(Perovskite Structure)之氧化薄膜。

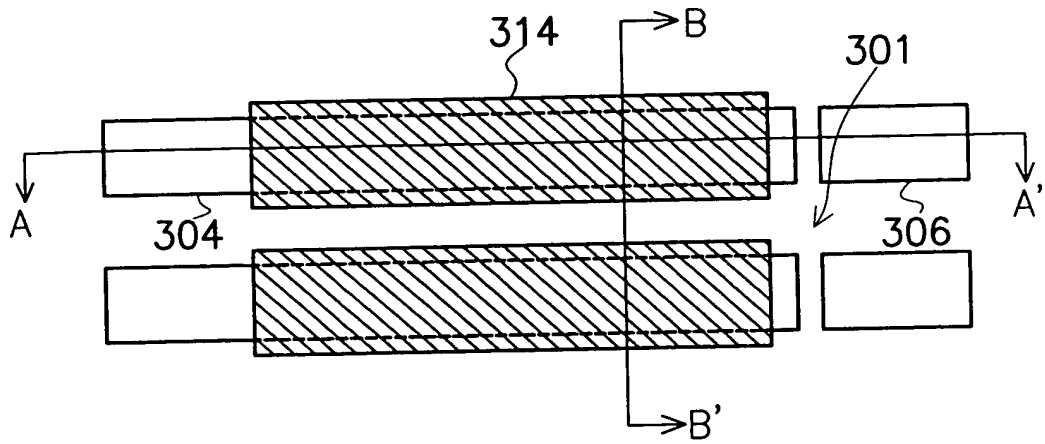




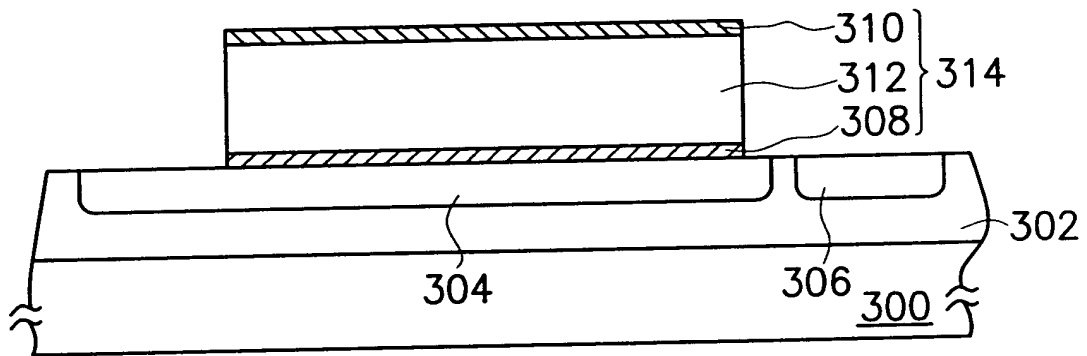
第 1 圖



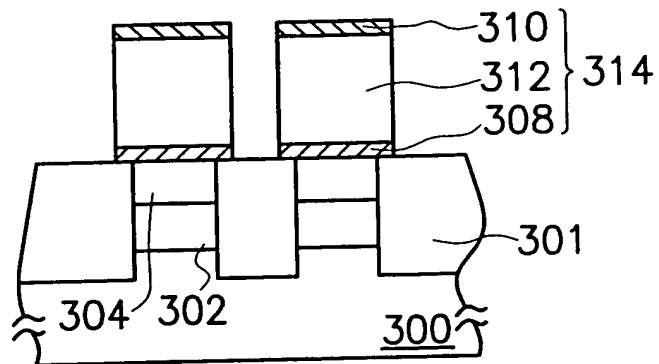
第 2 圖



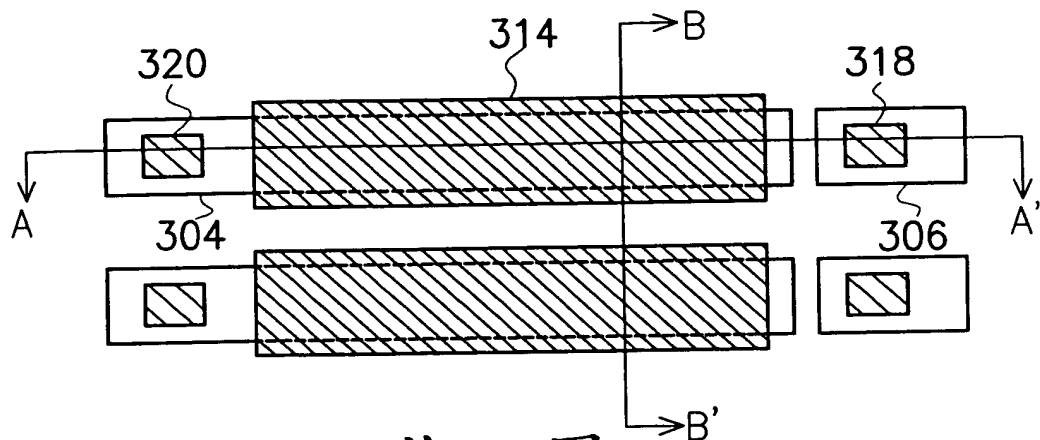
第 3 圖



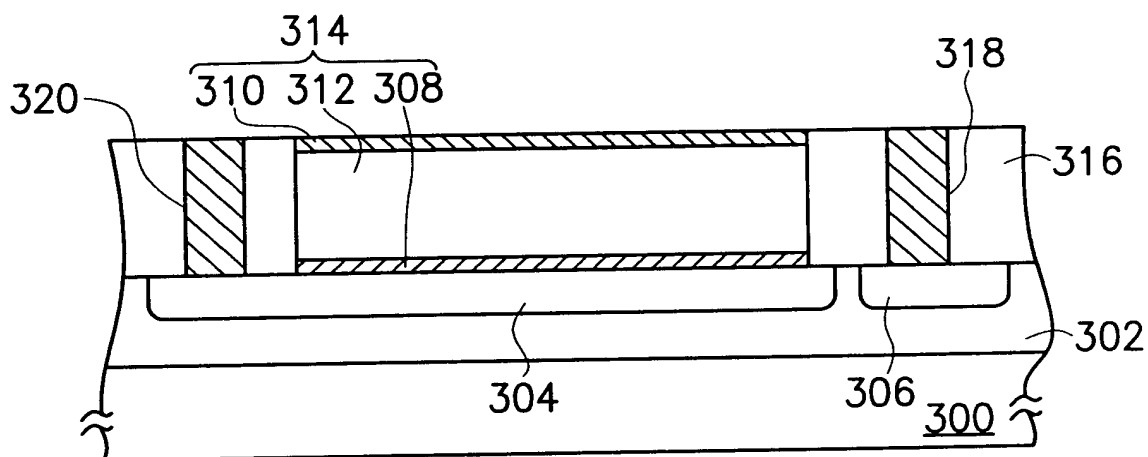
第 3A 圖



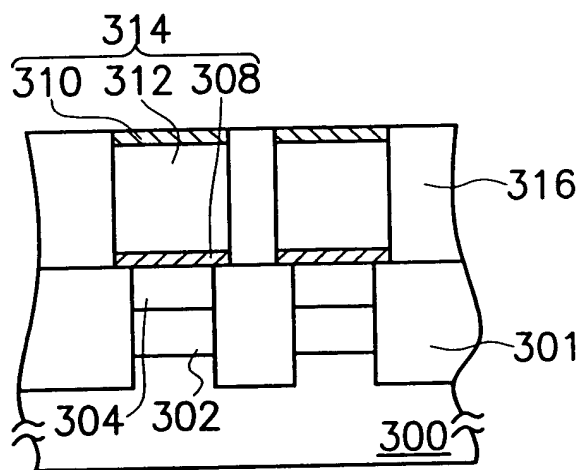
第 3B 圖



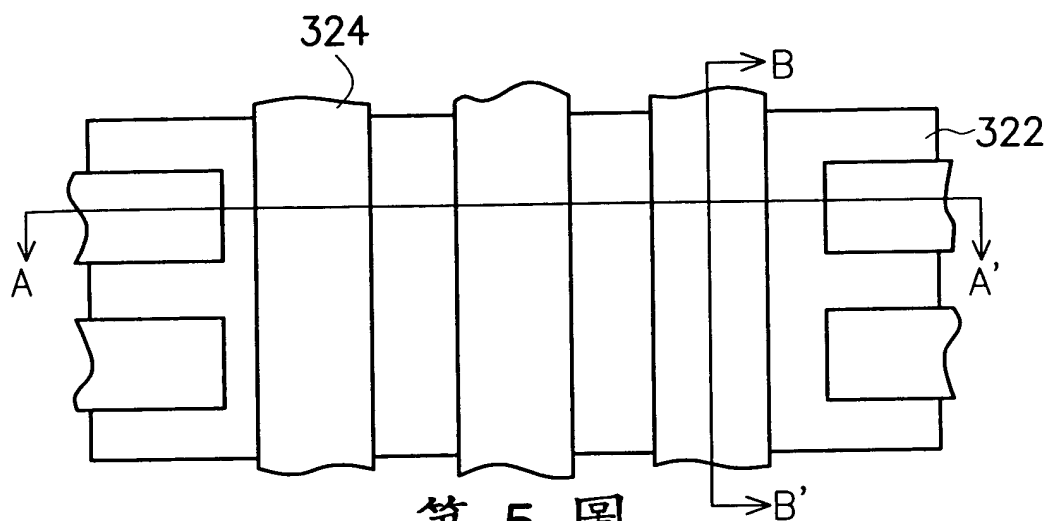
第 4 圖



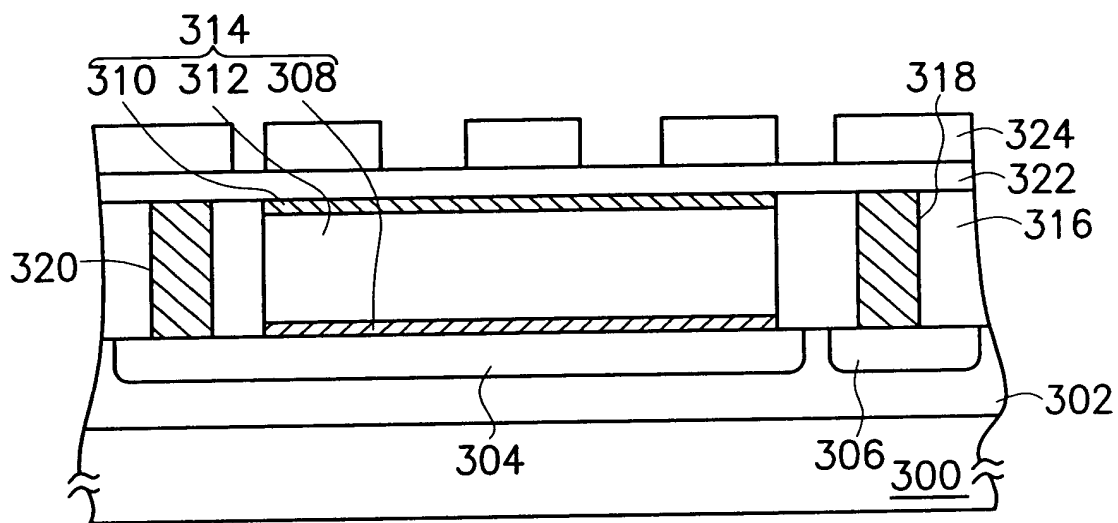
第 4A 圖



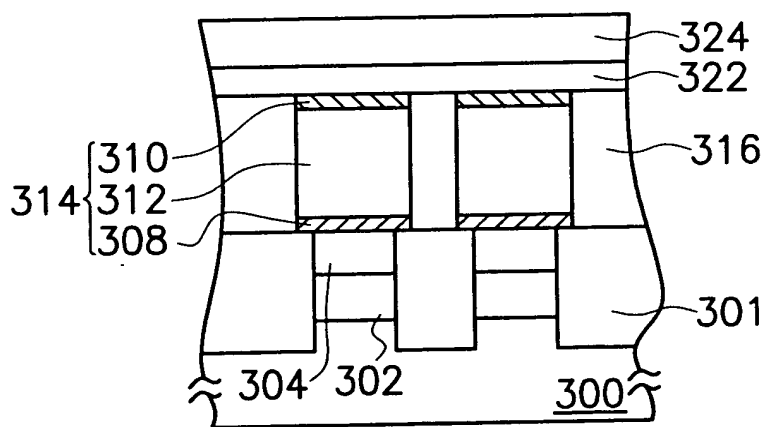
第 4B 圖



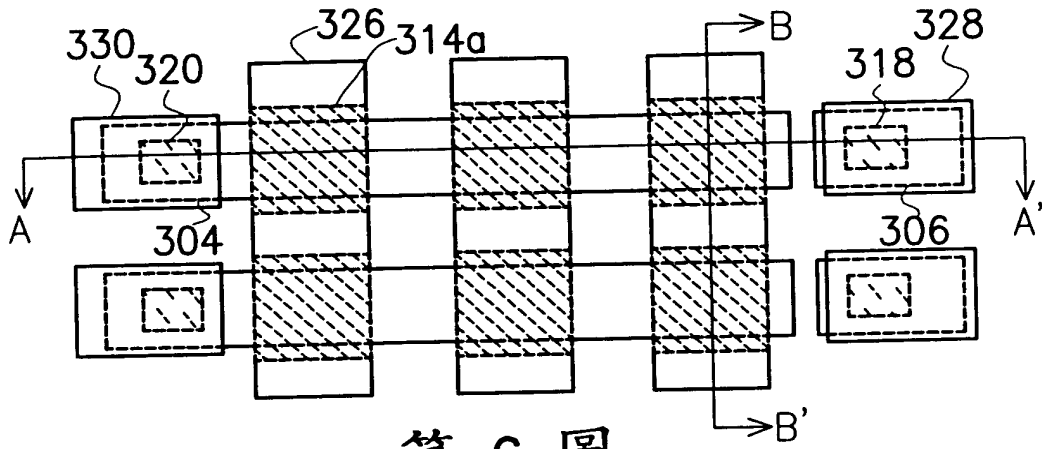
第 5 圖



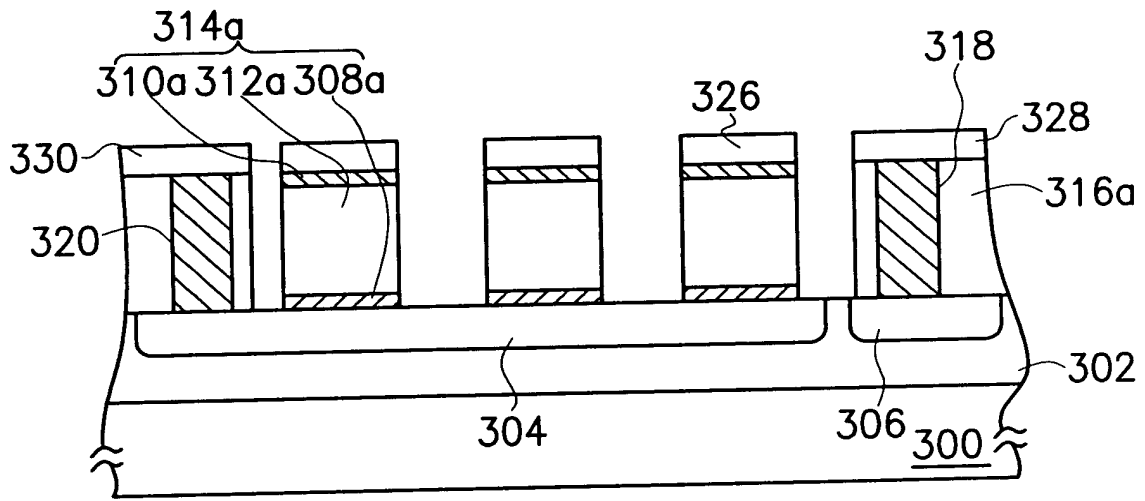
第 5A 圖



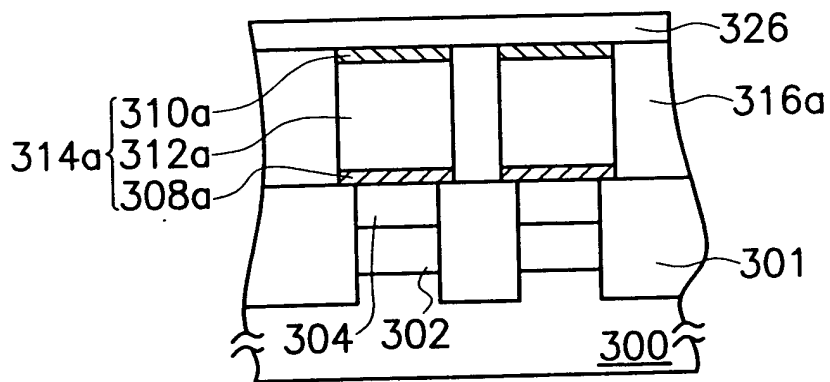
第 5B 圖



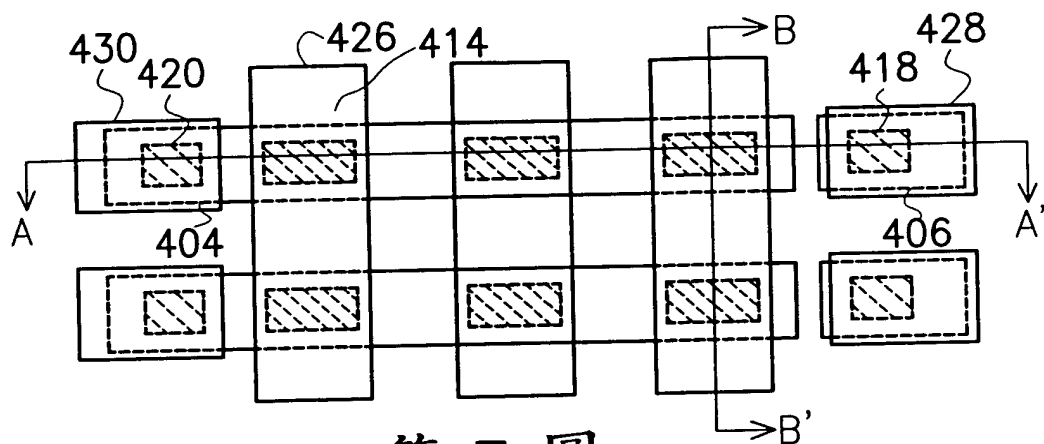
第 6 圖



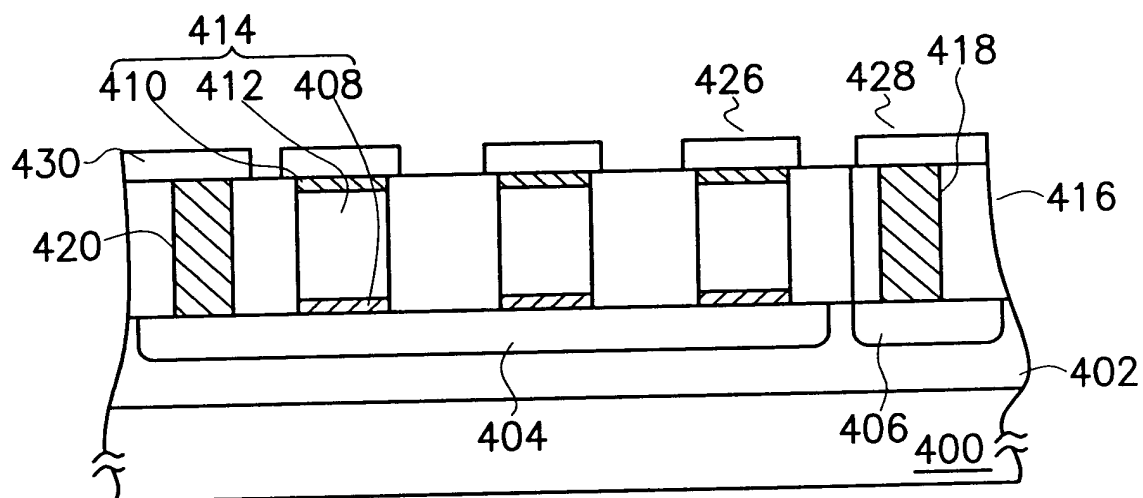
第 6A 圖



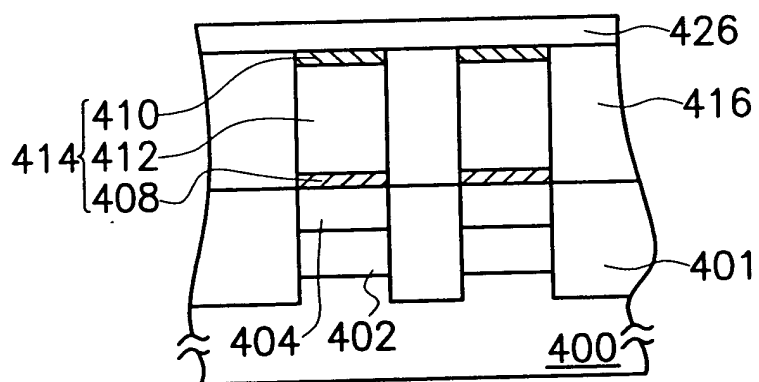
第 6B 圖



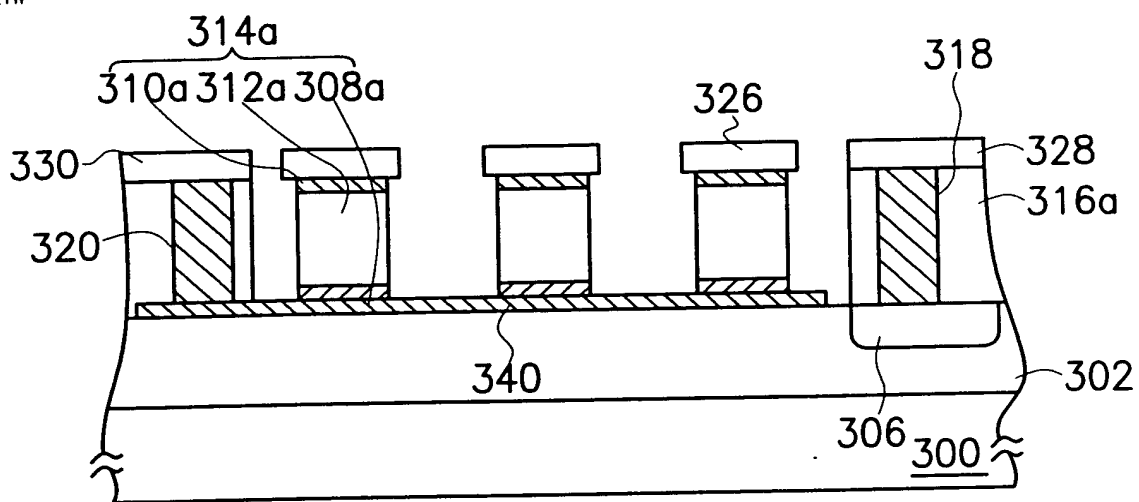
第 7 圖



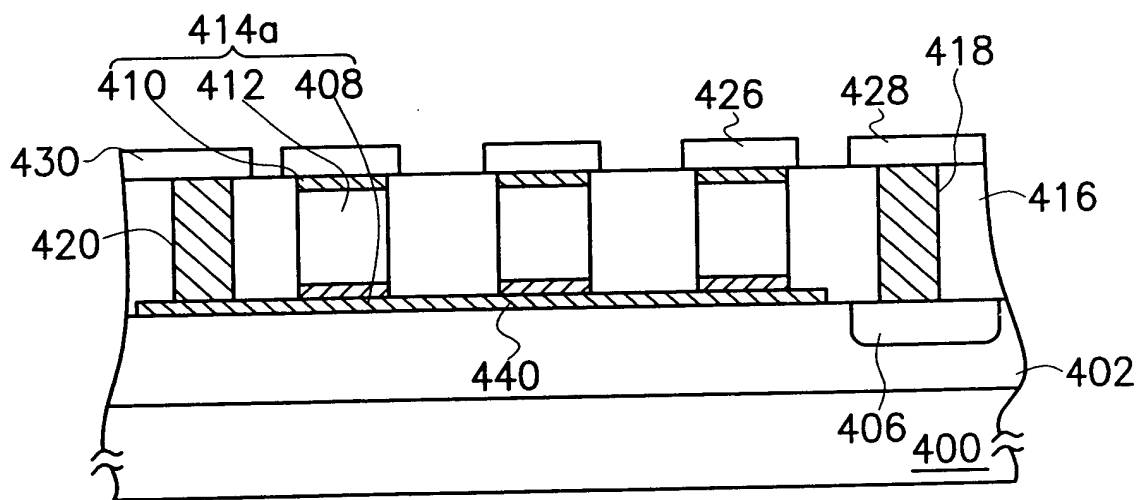
第7A圖



第7B圖

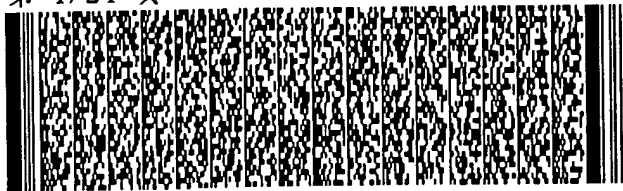


第 8 圖

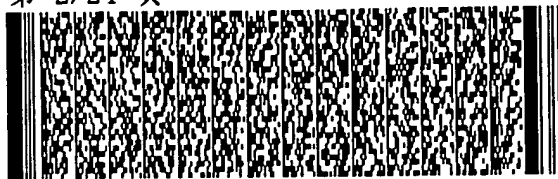


第 9 圖

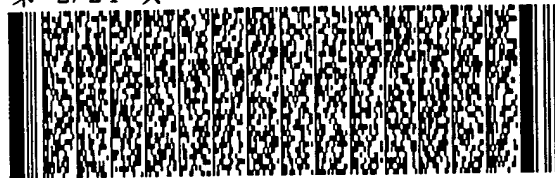
第 1/24 頁



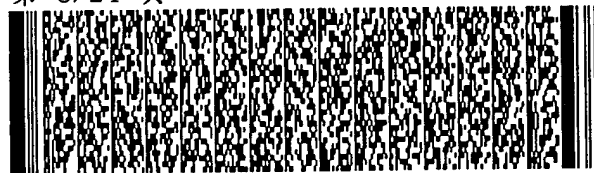
第 2/24 頁



第 2/24 頁



第 3/24 頁



第 4/24 頁



第 5/24 頁



第 6/24 頁



第 6/24 頁



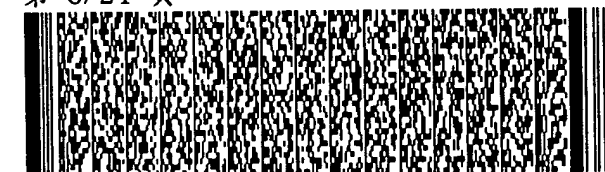
第 7/24 頁



第 7/24 頁



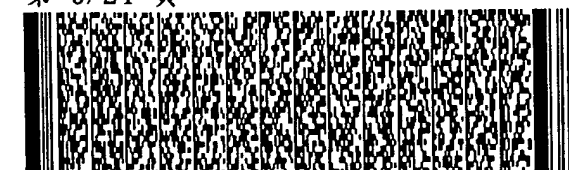
第 8/24 頁



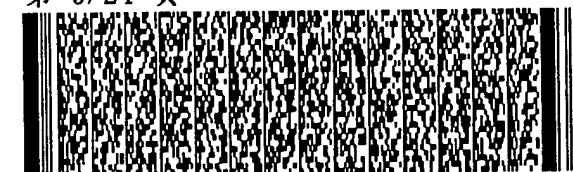
第 8/24 頁



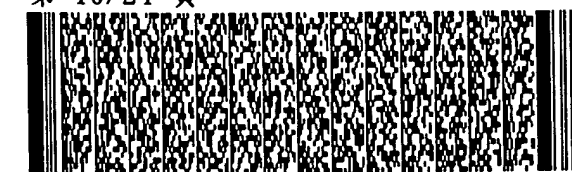
第 9/24 頁



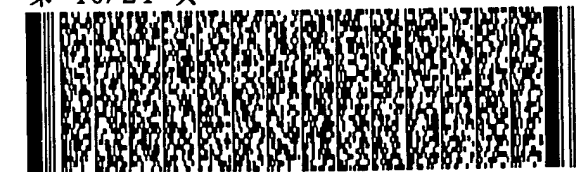
第 9/24 頁



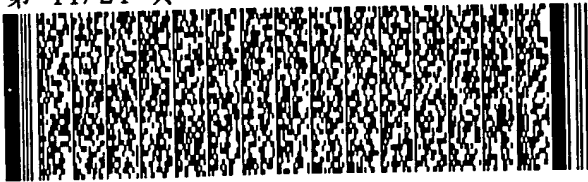
第 10/24 頁



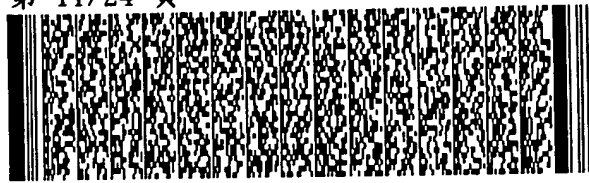
第 10/24 頁



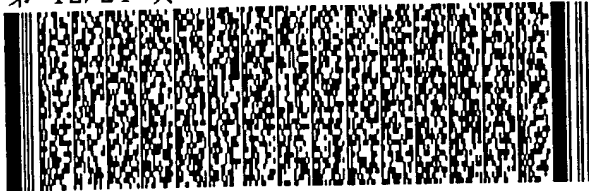
第 11/24 頁



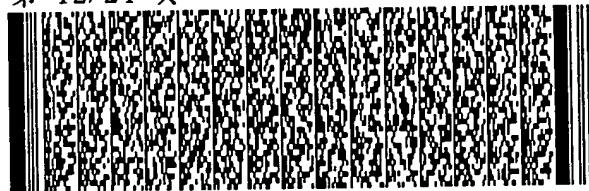
第 11/24 頁



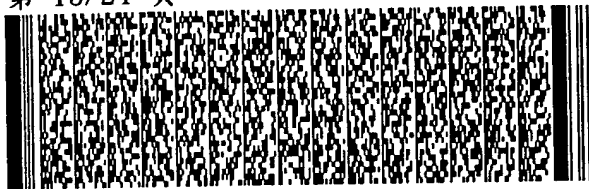
第 12/24 頁



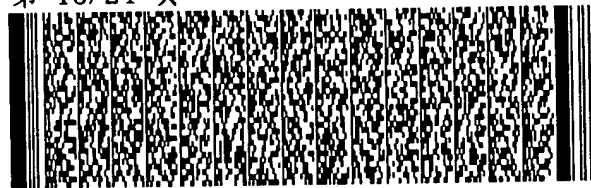
第 12/24 頁



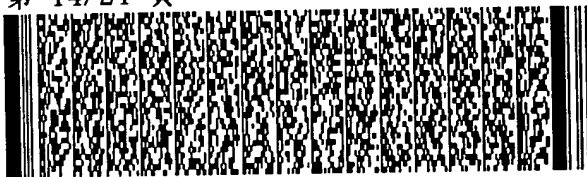
第 13/24 頁



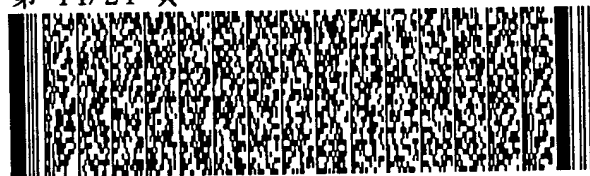
第 13/24 頁



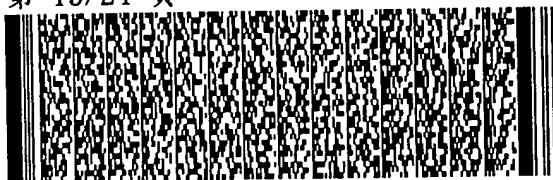
第 14/24 頁



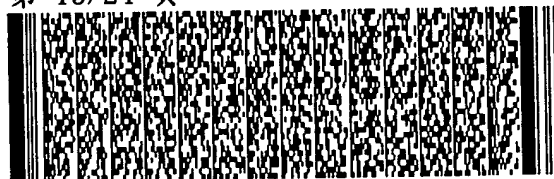
第 14/24 頁



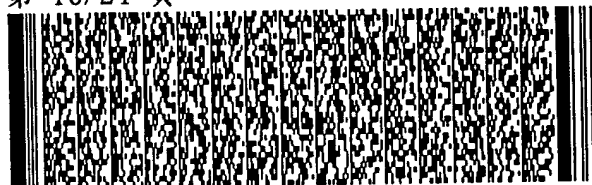
第 15/24 頁



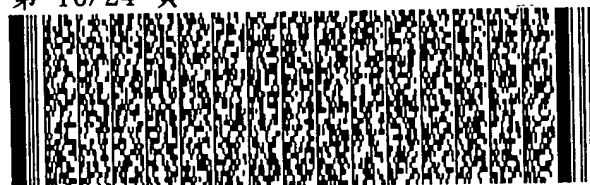
第 15/24 頁



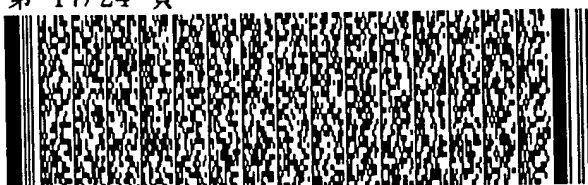
第 16/24 頁



第 16/24 頁



第 17/24 頁



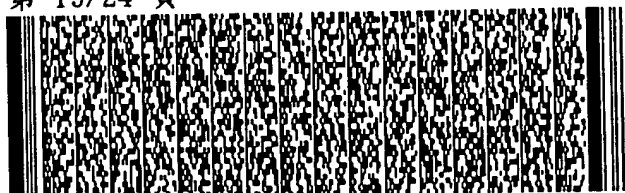
第 17/24 頁



第 18/24 頁



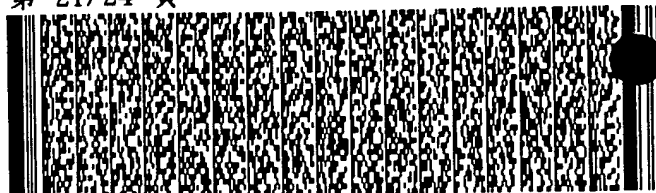
第 19/24 頁



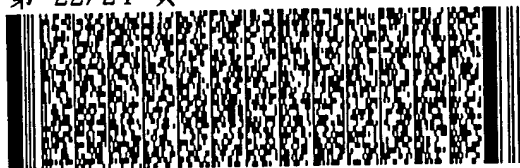
第 20/24 頁



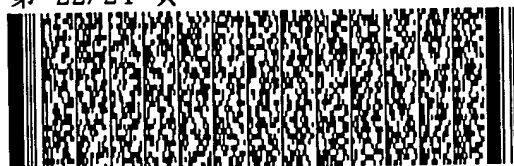
第 21/24 頁



第 22/24 頁



第 22/24 頁



第 23/24 頁



第 24/24 頁

